

## ⑫ 公開特許公報(A)

平3-183207

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月9日

H 03 K 7/06  
5/01  
17/16G 7827-5J  
B 8321-5J  
8124-5J

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 フィルタ回路

⑰ 特 願 平1-321386

⑱ 出 願 平1(1989)12月13日

⑲ 発 明 者 村 上 浩 一 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内

⑳ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

㉑ 代 理 人 弁理士 三好 秀和 外1名

## 明 細 書

## 1. 発明の名称

フィルタ回路

## 2. 特許請求の範囲

信号入力路に直列に接続された保護抵抗と、該保護抵抗の後端と電源又は低電位点との間の少なくとも何れかに接続され電源電圧以上又は低電位以下の過電圧入力時に導通するクランプダイオードと、該クランプダイオードに直列接続された所要値の抵抗と、前記保護抵抗の後段に当該保護抵抗に直列に接続され入力信号を波形成形してディジタル信号を出力する波形成形器とを有することを特徴とするフィルタ回路。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、ディジタル信号入力で動作する電子回路を周囲から混入するノイズから保護するフィルタ回路に関するものである。

(従来技術)

従来のフィルタ回路としては、例えば第3図に示すようなものがある。即ち、フィルタ回路20は、保護抵抗21、コンデンサ22、電源側クランプダイオード23及び接地側クランプダイオード24で構成されている。フィルタ回路20の入力端子は、配線コネクタ25を介して信号入力用の開閉スイッチ26とプルアップ抵抗27との接続点に接続されている。開閉スイッチ26の他端は接地され、プルアップ抵抗27の他端は電源VDDに接続されている。また、フィルタ回路20の出力端子は電子回路40に接続されている。

そして、開閉スイッチ26のオン/オフによるA点の電圧変化がディジタル信号として、フィルタ回路20を介して電子回路40に与えられる。また、このようなディジタル信号の入力動作において、開閉スイッチ26からA点までの信号入力線路上に、例えばサージや電波障害ノイズ、スイッチチャタリングノイズ等が混入すると保護抵抗21とコンデンサ22によって決る時定数でフィルタがかけられ、ノイズが除去される。また、電

源側及び接地（低電位点）側のクランプダイオード23、24により、電源電圧以上又は低電位以下のサージ等の過電圧入力に対し、保護抵抗21を介して電流で逃がすことにより、電子回路40のサージによる破損が防止される。

電子回路40が、例えば自動車用のものである場合、そのフィルタ回路20に要求される機能は、上述のように、次の①、②のような点である。

①各種の誘電性負荷より発生する数100Vのサージを吸収して電子回路40の破壊を防止する。

②車両外部からの電磁波による電波障害ノイズや、サージによる高周波のノイズパルスを除き、電子回路40の誤動作を防止する。

さらに、このフィルタ回路20周辺の機能で重要なものとして、

③車両の悪環境下において、電子回路40と開閉スイッチ26とを結ぶ信号入力線のコネクタ接点の酸化が原因となる導通不良による誤動作を防ぐために、その接点の酸化被膜を破るだけの所定値以上の接点電流を確保できること（通常1～2

mA以上）が要求される。

このように、フィルタ回路は、電子回路40の信頼性上、極めて重要であり、より高い信頼性を得るために構成部品数の削減が望まれている。また、構成部品数が削減されれば、電子回路製造時の組付けコストの低減も得られることになる。

この部品数削減の一手段としてフィルタ回路のIC化が考えられている。複数の入力信号に対してIC化を行えば部品数は大幅に削減される。

第4図は、第3図のフィルタ回路をCMOSプロセスを用いてIC化した例を示している。

第4図において、過電圧を防ぐための保護抵抗1は、フィルタIC30に外付けの構成となっている。これは、過電圧サージ印加時にフィルタIC30の入力部に過電圧が直接印加されるのを防ぐためである。プルアップ抵抗6は部品数削減を期して、IC内蔵とされている。また、入力信号の波形成形のためのCMOSバッファ又はコンパレータ8が備えられている。フィルタ時定数は外付けの保護抵抗1とIC内蔵のコンデンサ7に

より決められる。大容量コンデンサ（>数10pF）はIC内蔵化が困難なので、場合によってはデジタル回路によるフィルタとして例えば、サンプリングと2連照合を行うサンプリング回路9を出力段に備える場合も考えられている。

このようなフィルタICにおいて、CMOSバッファ又はコンパレータ8の入力閾値電圧は、前述のフィルタ回路に対する要求機能①～③を考慮し、以下の条件を成立させることが必要となる。ここで、電源電圧VDD = 5Vとする。

（イ）サージ印加時に、電源側クランプダイオード2又は接地側クランプダイオード4を流れる電流IDによるラッチアップ及びダイオード破壊を考慮して、例えばID ≤ 100mA（サージ電圧を±300Vと仮定）とし、保護抵抗1の抵抗値をRとすると、

$$300(V)/R \leq 100(mA)$$

したがって

$$R \geq 3k\Omega \quad \dots (1)$$

（ロ）コネクタ接点電流ICをIC ≥ 1mAと

し、プルアップ抵抗6の抵抗値をrとすると、

$$5(V)/(R+r) \geq 1(mA)$$

したがって

$$R+r \leq 5k\Omega \quad \dots (2)$$

となる。

保護抵抗1は外付けのディスクリート抵抗のため、その抵抗値Rは、温度変化、ばらつき等が小さく、一定と仮定することができる。これに対し、プルアップ抵抗6はIC内蔵のため、その抵抗値rは温度変化、ばらつき等が比較的大きい。そこで、最悪値でも、上記(1)、(2)を満足するように、抵抗値R、rを設定すると例えば次のようになる。

$$R = 3k\Omega \text{ 一定}$$

$$r = 1k\Omega (r_{TYP})、$$

$$1.5k\Omega (r_{MAX})、$$

$$0.6k\Omega (r_{MIN})$$

したがって、開閉スイッチ26オン時のフィルタIC30への入力電圧の最大値は、

$$\begin{aligned} & [R/(R+r_{MIN})] \cdot VDD \\ & = [3(k\Omega)/3.6(k\Omega)] \end{aligned}$$

$$\times 5 (V) = 4.17 (V) \quad \dots (3)$$

また、コネクタ接点電流の最小値は、

$$\begin{aligned} VDD / (R + r_{MAX}) \\ = 5 (V) / 4.5 (k\Omega) \\ = 1.11 (mA) \quad \dots (4) \end{aligned}$$

となる。

したがって、CMOSバッファ又はコンパレータ8のHi、Loの判定入力閾値電圧VTHは、

$$4.17V < VTH < 5V$$

となり、かなり電源電圧VDDに近いものとなる。このため、8は現実的には、インバータ等の簡単なバッファ回路では構成できず、コンパレータを用いる必要がある。

上述のように、コンパレータ8の入力閾値電圧VTHが電源電圧VDDに近いため、サージ等が入力信号に乗った場合、クランプダイオード2、4の順、逆方向特性による直流再生現象が起きて入力信号の電圧シフトを起し、誤動作を起すことがあった。

ここで、第5図を用いて、上記直流再生を説明

する。

同図(a)は、サージ等が加わらない場合の通常の入力信号波形である。VAは保護抵抗1の前段の電圧であり、開閉スイッチ26のオン時はゼロV、オフ時は5V (= VDD)となる。これに対し、フィルタIC30の入力電圧VINは、開閉スイッチ26のオン時(L0時)は保護抵抗1及びプルアップ抵抗6の両抵抗値の分割で決まる電圧になり、オフ時(Hi時)は5V (= VDD)となる。また、コンパレータ8の入力閾値電圧VTHは、これら二つの電圧間の値に設定されている。

同図(b)は、電波障害ノイズが印加されたときの入力波形である。VAには、印加されたノイズが、そのまま元の信号波形に重畳した形で乗っている。これに対し、フィルタIC30の入力電圧VINには元の信号波形に保護抵抗1及びコンデンサ7で決まる時定数でフィルタリングされたノイズが重畳されている。但し、図中に示すように、この場合、電源側クランプダイオード2の順、逆方向特性の影響により、Hi時の波形に非対称性が生

じる。したがって、入力信号の平均レベルは、同図(a)のノイズがない場合に比べて下り、電圧シフトが起る。その結果、ノイズの大きさによっては、この入力信号の平均レベルがコンパレータ8の入力閾値電圧VTHより下る場合が生じて入力信号がHiであるにも拘らずLoと誤ることがあり、フィルタIC30の出力に誤動作を生じる。

(発明が解決しようとする課題)

従来のフィルタ回路では、サージに対する保護作用を大にするため、保護抵抗の抵抗値をできるだけ大にし、且つフィルタ回路入力部の接点電流を所定値以上にするため、この保護抵抗の抵抗値とプルアップ抵抗等の抵抗値の和を所定値以下にし、さらにIC化することによりIC内蔵形となるプルアップ抵抗等の温度変化及びばらつき等を考慮するというこれらの条件を全て満足するように保護抵抗及びプルアップ抵抗等の各抵抗値を設定すると、コンパレータのHi、Loの判定閾値電圧が電源電圧に近いものとなる。このため、電波障害ノイズ等が入力信号に乗ったとき、クラン

プダイオードによる直流再生の影響を受けて、そのノイズの大きさによっては入力信号の平均レベルがコンパレータの判定閾値電圧より下る場合が生じ、入力信号がHiであるにも拘らずLoと誤ることが起きて誤動作を生じることがあるという問題があった。

そこで、この発明は、電波障害ノイズ等が入力信号に乗ったときのクランプダイオードによる直流再生の影響を低減することができて誤動作を防止することができ、IC化するのに好適なフィルタ回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明は上記課題を解決するために、信号入力路に直列に接続された保護抵抗と、該保護抵抗の後端と電源又は低電位点との間の少なくとも何れかに接続され電源電圧以上又は低電位以下の過電圧入力時に導通するクランプダイオードと、該クランプダイオードに直列接続された所要値の抵抗と、前記保護抵抗の後段に当該保護抵抗に直列

に接続され入力信号を波形成形してディジタル信号を出力する波形成形器とを有することを要旨とする。

(作用)

上記構成により、電波障害ノイズ等を受けたときの入力信号波形の平均レベルと、波形成形器の判定閾値電圧との差が、クランプダイオードに直列接続した抵抗の電圧降下分により大になる。したがって、電波障害ノイズ等を受けたときのクランプダイオードによる直流再生の影響が低減されて波形成形器の誤動作が防止される。

(実施例)

以下、この発明の実施例を第1図及び第2図に基づいて説明する。この実施例は、IC化された半導体フィルタ回路に適用されている。

なお、第1図において前記第3図及び第4図における機器及び回路素子等と同一ないし均等のもは、前記と同一符号を以て示し、重複した説明を省略する。

まず、第1図を用いてフィルタ回路としてのフ

全ての抵抗にポリSi抵抗を用いているのは、これらの抵抗を拡散層抵抗で形成すると、寄生ダイオードが電源側、接地側に入るために、電源側及び接地側の両クランプダイオード2、4にそれぞれ直列に所要値の抵抗を接続するというこの実施例の作用、効果が達成されないためである。

次に、上述のように構成されたフィルタIC10の動作を第2図を用いて説明する。同図の(A)、(B)、(C)は、保護抵抗1の前段の電圧、フィルタIC10の入力端の電圧、コンパレータ8の入力部の電圧をそれぞれ示している。

電波障害ノイズ等が加わらない場合のA点、B点の入力信号波形は、前記第5図(a)のものと同様である。

電波障害ノイズが印加されたとき、第2図(A)に示すように、A点では、元の入力信号波形に電波障害ノイズが重畳された波形となる。この重畳波形についても、前記第5図(b)のVAの波形と同様である。これに対し、フィルタIC10の入力端Bでは、まず、入力抵抗13がない場合(この

フィルタIC10の構成を説明すると、電源側クランプダイオード2に直列にポリSi抵抗からなる所要値の電源側抵抗3が接続され、これと同様に接地側クランプダイオード4にも直列にポリSi抵抗からなる所要値の接地側抵抗5が接続されている。また、プルアップ抵抗としてプルアップMOS抵抗11とプルアップポリSi抵抗12とが直列に接続されている。プルアップMOS抵抗11にプルアップポリSi抵抗12を付け加えているのは、プルアップMOS抵抗11には、寄生ダイオードが並列に形成されるためである。さらに、入力信号線におけるプルアップ抵抗の接続点とコンデンサ7の接続点との間には、ポリSi抵抗からなる入力抵抗13を接続してもよい。入力抵抗13を接続すると、コンデンサ7との間で構成されるフィルタ機能が一層向上する。そして、コンデンサ7の次段に波形成形器としてのコンパレータ8が接続されている。

上述のように、電源側抵抗3、接地側抵抗5、プルアップポリSi抵抗12及び入力抵抗13の

場合、入力端Bの電圧は、コンパレータ8の入力部Cの電圧に等しい)、第2図(B)に示すように、入力信号eに保護抵抗1及びコンデンサ7で決る時定数でフィルタリングされたノイズfが重畳する。このとき同時に電源側クランプダイオード2による直流再生の影響でHi時の波形に非対称性が生じる。しかし、電源電圧をVDD(5V)、クランプダイオード2の順方向電圧をVf、電源側抵抗3の抵抗値をRD、クランプダイオード2及び電源側抵抗3を通して流れる電流をIとすると、Hi時の波形の最大電圧レベルgは、前記第5図(b)のVINに示した従来例のようにVDD + Vfではなく、

$$VDD + Vf + I \cdot RD \quad \dots (5)$$

となる。

したがって、電波障害ノイズを受けた場合の入力信号Hi時の平均レベルhは、従来例に比べて、上記(5)式のI・RDの分により高くなり電源電圧VDDに近くなる。即ち、クランプダイオード2と直列に接続した電源側抵抗3の作用によりその

クランプダイオード2による直流再生の影響が低減される。この結果、入力信号がHiであるにも拘らずLoと誤ることはなく、誤動作が防止される。

第2図(C)は、入力抵抗13がある場合に、電波障害ノイズが印加されたときのコンパレータ8の入力部Cの電圧波形を示している。この場合は、入力抵抗13によりフィルタ機能が向上して電波障害ノイズiの減衰度が大きくなる。そして、この場合においても、上述の第2図(B)の場合と同様に、電源側抵抗3の作用により直流再生の影響が低減されて誤動作が防止される。

なお、上述の実施例では、開閉スイッチ26が接地側に接続され、フィルタIC10の内部にプルアップ抵抗がある場合について述べたが、開閉スイッチが電源側にあり、フィルタICの内部にプルダウン抵抗がある場合の構成についても、上述と同様の作用、効果が得られる。

また、プルアップ抵抗は、プルアップMOS抵抗とプルアップポリSi抵抗の直列接続により構

成したが、ポリSi抵抗のみで形成してもよい。

さらに、第1図のフィルタICは、1入力1出力の1chのみを示しているが、同様の内部回路を複数個集積してもよい。複数個集積すれば、構成部品数の削減及び電子回路製造時の組付けコストの低減等のIC化の効果を一層大にすることができる。

#### 【発明の効果】

以上説明したように、この発明によれば、信号入力路に直列に接続された保護抵抗と、この保護抵抗の後端と電源又は低電位点との間の少なくとも何れかに接続され電源電圧以上又は低電位以下の過電圧入力時に導通するクランプダイオードと、このクランプダイオードに直列接続された所要値の抵抗と、前記保護抵抗の後段に当該保護抵抗と直列に接続され入力信号を波形成形してデジタル信号を出力する波形成形器とを具備させたため、サージに対する保護作用を大にするため保護抵抗の抵抗値をできるだけ大にし、且つフィルタ回路入力部の接点電流を所定値以上に大にするためこ

の保護抵抗の抵抗値とプルアップ抵抗等の抵抗値の和を所定値以下にし、さらにIC化することによりIC内蔵形となるプルアップ抵抗等の温度変化及びばらつき等を考慮するという上記の各条件を全て満足するように保護抵抗及びプルアップ抵抗等の各抵抗値を設定しても、電波障害ノイズ等を受けたときの入力信号波形の平均レベルと、波形成形器の判定閾値電圧との差を、クランプダイオードに直列接続した抵抗の電圧降下分により大にすることができる。したがって電波障害ノイズ等を受けたときのクランプダイオードによる直流再生の影響を低減することができて誤動作を防止することができるという利点がある。このため、IC化するのに極めて好適なフィルタ回路を提供することができる。

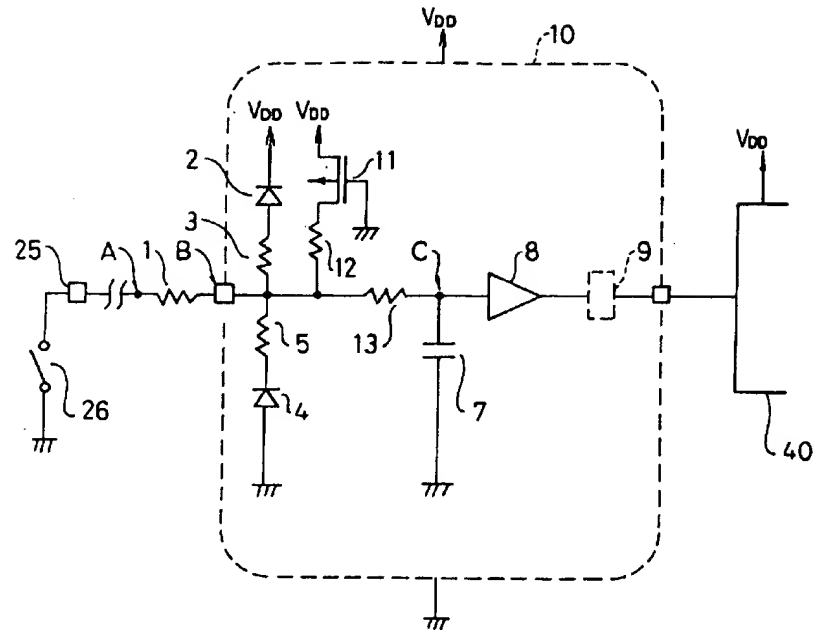
#### 4. 図面の簡単な説明

第1図はこの発明に係るフィルタ回路の実施例を示す回路図、第2図は上記フィルタ回路の作用を説明するためのもので回路内の各点における信号波形を示す波形図、第3図は従来のフィルタ回

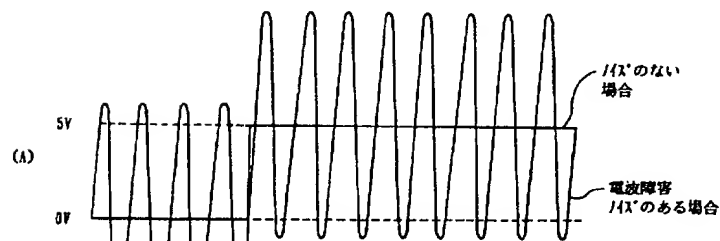
路を示す回路図、第4図は他の従来例を示す回路図、第5図は上記他の従来例の作用を説明するための信号波形を示す波形図である。

- 1 : 保護抵抗、
- 2 : 電源側クランプダイオード、
- 3 : 電源側抵抗、
- 4 : 接地側クランプダイオード、
- 5 : 接地側抵抗、
- 7 : コンデンサ、
- 8 : コンパレータ(波形成形器)、
- 10 : フィルタIC、
- 11 : プルアップMOS抵抗、
- 12 : プルアップポリSi抵抗、
- 26 : 信号入力用の開閉スイッチ。

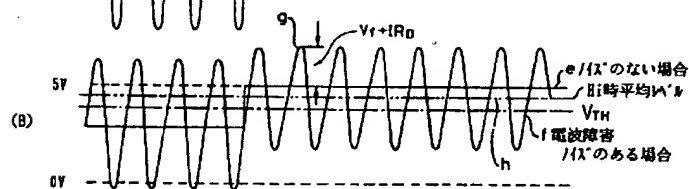
代理人 弁理士 三 好 秀 和



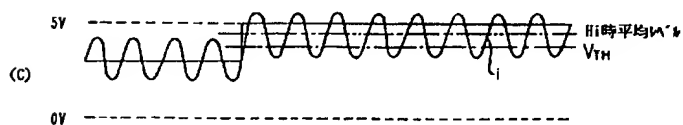
第 1 図



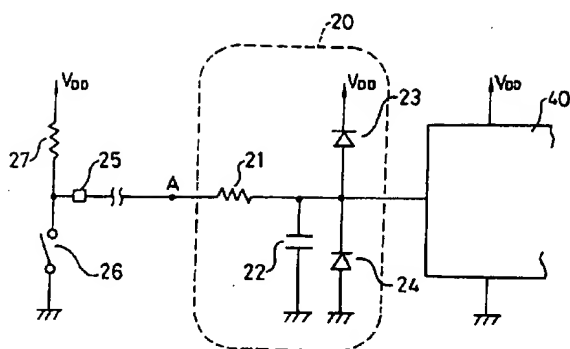
第 2 図 (A)



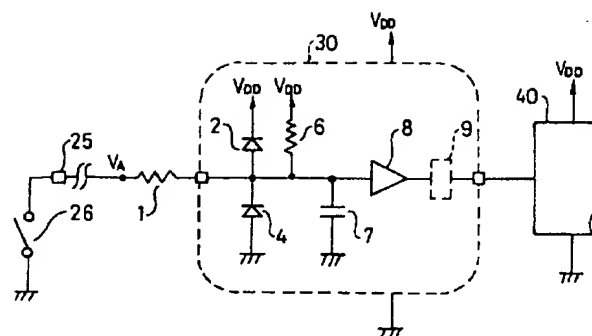
第 2 圖 (B)



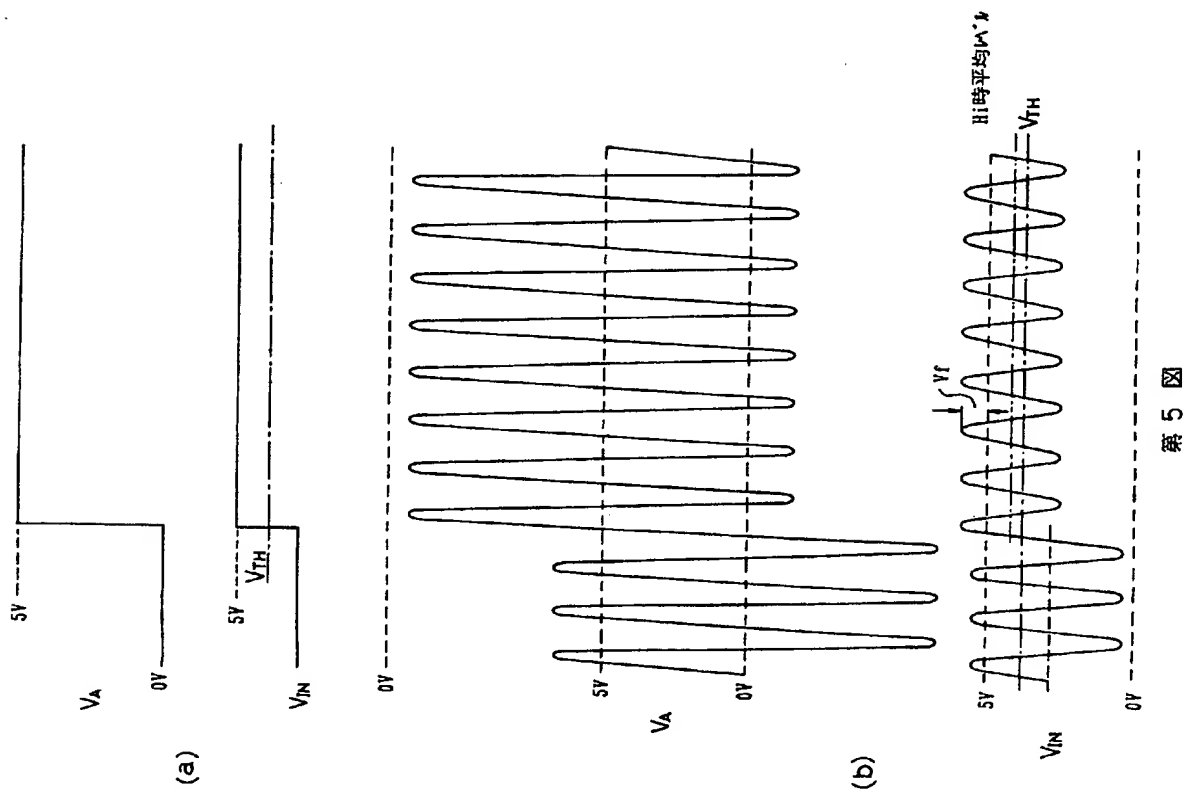
第 2 図 (C)



第 3 図



第 4 図



第 5 図